

PATENT ABSTRACTS OF JAPAN

B7

(11)Publication number : 62-288980

(43)Date of publication of application : 15.12.1987

(51)Int.Cl.

G06F 15/62
G06F 12/00
G06F 12/06

(21)Application number : 61-133540

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.06.1986

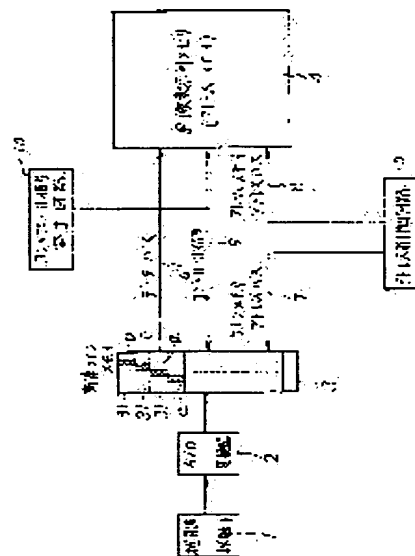
(72)Inventor : KOU YOSHIROU
MURAKAMI KEIICHI

(54) SYSTEM FOR CONTROLLING WRITE TO MEMORY FOR PICTURE DISPLAY

(57)Abstract:

PURPOSE: To write data in a frame memory at a high speed without increasing the number of address busses by providing an address control circuit to not only read out data from plural line memories but also write data in the same addresses of plural banks in a memory for picture display.

CONSTITUTION: Plural high-speed line memories 31 are read out successively by successive addresses sent from an address control circuit 5 through a line memory address bus 7. Meanwhile, the same address is supplied to plural banks of a memory 4 for picture display of the frame memory from the circuit 5 through a frame memory address bus 8, and the write of data read from memories 31 to the same addresses of plural banks of the memory 4 is terminated simultaneously with completion of read from memories 31, and thus, data is practically quickly written in the frame memory without increasing the number of address busses. Similarly, data are written simultaneously in specific address words of specific banks of the frame memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-288980

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)12月15日

G 06 F 15/62
12/00
12/06

3 0 4

6615-5B
6711-5B
6711-5B

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 画像表示用メモリ書き込み制御方式

⑮ 特 願 昭61-133540

⑯ 出 願 昭61(1986)6月9日

⑰ 発 明 者 紅 義 朗 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑱ 発 明 者 村 上 敬 一 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
 ⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

画像表示用メモリ書き込み制御方式

2. 特許請求の範囲

複数のメモリバンクからなり、各バンクの出力をインタリーブして表示用データを読み出す、画像表示用メモリ(4)を備え、

画像データ源(1)より順次転送される画像データを上記画像表示用メモリ(4)に書き込み、該書き込まれた画像データを読み出して表示する画像表示装置において、

該画像データを順次保持する、一組以上の高速のラインメモリ(3)と、該ラインメモリ(3)の内容を、上記画像表示用メモリ(4)の、特定の複数のバンクの同じアドレス、又は特定のバンクの特定のアドレスに書き込むための、該ラインメモリ(3)に対する読み出しアドレス(7)と、該画像表示用メモリ(4)への書き込みアドレス(8)を生成するアドレス制御回路(5)とを設け、

上記複数のラインメモリ(3)の画像データを読み出して、該画像表示用メモリ(4)の複数のバンクの同じアドレス、又は特定のバンクの特定のアドレスに同時に書き込むように制御すること、を特徴とする画像表示用メモリ書き込み制御方式。

3. 発明の詳細な説明

(概要)

複数のバンクからなり、インタリーブ方式でデータを読み出す画像表示用メモリを備えた超音波診断装置において、該画像表示用メモリの複数のバンクに同時に、又は複数ビットからなる特定のバンクに、超音波断層像のデータを転送するのに、一組以上の高速のラインメモリと、該ラインメモリから、上記画像表示用メモリへデータを転送するときのラインメモリアドレスと、画像表示用メモリのアドレスを生成するアドレス制御回路を設けることにより、画像データを、該ラインメモリから、該画像表示用メモリの複数のバンクの同じアドレス、又は特定のバンクの特定のアド

アドレス語に、同時に書き込むようにしたものである。

(産業上の利用分野)

本発明は、超音波診断装置の画像表示用メモリ(フレームメモリ)に対する書き込み制御方式に関する。

最近の超音波診断装置のハードウェアの進歩に伴い、表示装置に表示される超音波断層像の画質の向上が要求されるようになり、生体に掃射する超音波信号の走査速度が高速化され、画像表示用メモリ(以下フレームメモリと云う)に対するライトノリド動作も高速化が必要とされるようになってきた。

一方、半導体技術の進歩に伴い、高速のランダムアクセスメモリ(以下、RAMと云う)が経済的に得られるようになってきており、これらの高速のRAMに対するアクセスタイムが、大容量のフレームのアクセスタイムに比較して充分速いことに着目すると、超音波断層像の画像データを一旦、

上記高速のRAMで構成されている一組以上のラインメモリに格納しておき、該ラインメモリに蓄積されている画像データを、高速に順次読み出して、書き込みデータの組を構成した後、低速度のフレームメモリに、一度に書き込むようにすれば、該フレームメモリのアクセスタイムを充分生かした書き込み制御方式が得られることが期待できる。

(従来の技術と発明が解決しようとする問題点)

第4図は、従来の超音波診断装置におけるフレームメモリの書き込み方を説明する図であって超音波診断装置の構成例を示しており、第5図はフレームメモリの構成例を示した図である。

従来から、超音波診断装置のフレームメモリ4は、第5図に示すように、例えば、512×512画素からなり、該フレームメモリを、例えば、8バンク構成とする場合、各バンクの第n番地に特定の8画素の画像データを書き込み、各バンクの次の第n-1番地に、次の8画素を書き込む、……と云うような構成となっている。

- 3 -

所が、従来のセクタ型の超音波診断装置において、第4図に示すように、超音波探触子1からの画像データをA/D変換器2でアナログ-ディジタル変換を行い、第5図にその詳細を示したフレームメモリ4に該ディジタルデータを転送する場合、セクタ型超音波走査線41上の相隣るサンプリング点に対応するデータ(第5図では、斜線で示す)は、上記フレームメモリ4上においては、各バンク毎に異なるものとなり、同時に複数個のバンクの、同じアドレスで書き込むことができない。

そこで、第4図に示すように、例えば、アドレスバスを2系統(アドレスバス1、2)8aを持つような構造のフレームメモリにすると、同時に2つのデータを書き込むことができるが、より高速なデータ書き込みを行う場合には、更にアドレスバスの数を増加させなければならないと云う問題があった。

本発明は上記従来の欠点に鑑み、ラインメモリの高速性を生かして、アドレスバスの本数を増加させることなく、フレームメモリに、高速にデー

タを書き込む方法を提供することを目的とするものである。

(問題点を解決するための手段)

第1図は本発明の画像表示用メモリ書き込み制御方式の構成例を示した図である。

本発明においては、複数個のメモリバンクからなり、各バンクの出力をインターリーブして表示用データを読み出す、画像表示用メモリ4を備え、画像データ源(超音波探触子)1より順次転送される画像データを上記画像表示用メモリ4に書き込み、該書き込まれた画像データを読み出して表示する画像表示装置において、該画像データを順次保持する、一組以上の高速のラインメモリ3と、該ラインメモリ3の内容を、上記画像表示用メモリ4の、例えば、特定の複数個のバンクの同じアドレスに書き込むための、該ラインメモリ3に対する読み出しアドレス7と、該画像表示用メモリ4への書き込みアドレス8を生成するアドレス制御回路5とを設け、上記複数個のラインメモ

- 5 -

- 6 -

リ 3 の画像データを読み出して、該画像表示用メモリ 4 の複数のバンクの同じアドレスに同時に書き込むように構成する。

〔作用〕

即ち、本発明によれば、複数のバンクからなり、インタリーブ方式でデータを読み出す画像表示用メモリを備えた超音波診断装置において、該画像表示用メモリの複数のバンクに同時に、又は複数ビットからなる特定のバンクに、超音波断層像のデータを転送するのに、一組以上の高速のラインメモリと、該ラインメモリから、上記画像表示用メモリへデータを転送するときのラインメモリアドレスと、画像表示用メモリのアドレスを生成するアドレス制御回路を設けることにより、画像データを、該ラインメモリから、該画像表示用メモリの複数のバンクの同じアドレスに、又は 1 つのバンクの特定のアドレスに、同時に書き込むようにしたものである。画像表示用メモリに対するアドレスバスを増加させることなく、

シリアルライズに入ってくる画像データを高速に画像表示用メモリに取り込める効果がある。

〔実施例〕

以下本発明の実施例を図面によって詳述する。前述の第 1 図が本発明の画像表示用メモリ書き込み制御方式の構成例を示した図であり、第 2 図は本発明による書き込み動作をタイムチャートで示した図であり、第 3 図は本発明の画像表示用メモリの他の構成例を示した図であり、第 1 図におけるアドレス制御回路 5、及び関連機構が本発明を実施するのに必要な手段である。尚、全図を通して同じ符号は同じ対象物を示している。

以下、第 1 図、第 2 図、第 5 図、又は第 3 図によって、本発明による画像表示用メモリ（フレームメモリ）書き込み制御方式を説明する。

まず、第 1 図において、超音波探触子 1 から得られた、1 走査毎の生体からの超音波反射波を、A/D 変換器 2 でデジタル信号に変換し、複数の組で構成されている高速のラインメモリ 3 の各組

- 7 -

31 に、該各走査毎の反射波データが書き込まれる。

セクタ型の超音波断層像においては、第 5 図 4 図 4 図に示すように、各超音波走査線 41 上の相隣るサンプリング点に対応するデータ（斜線で示す）のフレームメモリ上のアドレスは異なる為、複数のバンクからなっているフレームメモリ 4 上の同じアドレスには、異なるアドレスのラインメモリ 3 のデータを書き込む必要がある。

第 2 図は、このときの書き込み動作をタイムチャートで示したもので、複数の（本図では、説明の便宜上 4 個としている）ラインメモリ 3 の、例えば、アドレス 'b, c, d, e' の内容を、コントロール信号発生回路 10 からのコントロール信号（タイミング信号）9 に基づいて、データバス 6 を介して、フレームメモリ 4 内の図示していないレジスタに順次読み出し、該読み出しが完了した時点において、4 つのバンクからなるフレームメモリ（第 5 図では、8 個のバンクで示しているが、本図では 4 個）の各バンクの、例えば、'y' 番地に書き込むように制御する。

即ち、フレームメモリ 4 のバンク 0 に書き込むデータは、ラインメモリ 3 の組 31 のアドレス b（斜線で示す、以下同じ）のデータを読み出し、コントロール信号発生回路 10 からのバンク 7 に対する（書き込み信号）9 により、バンク 0 に対応する書き込みレジスタ（図示せず）に書き込まれる。

同様に、バンク 6 の書き込みレジスタには、ラインメモリ 3 の組 31 のアドレス c のデータが、バンク 5 には、ラインメモリ 3 の組 31 のアドレス d のデータが、そして、バンク 4 にはラインメモリ 3 の組 31 のアドレス e のデータが、それぞれ書き込まれ、全部の書き込みが完了したタイミング（ストローク信号）9 において、フレームメモリ 4 の各バンクの、例えば、アドレス 'y' に、上記 4 つの画像データが同時に書き込まれるように機能する。（第 5 図の b~e 参照）

このように、ラインメモリ 3 のアクセスタイムが、フレームメモリのアクセスタイムに比較して、充分速ければ（第 4 図の例では、4 対 1 の比率）、一般には、該ラインメモリから n 個の画像データ

- 8 -

- 9 -

- 10 -

を読み出し、核読み出しの完了した時点で、フレームメモリ4の各バンクの同じアドレスに、同時に書き込むことができる。

尚、上記実施例においては、フレームメモリ4上の相隣る画素に対して、複数のバンクの同じアドレスを割り当てる例で説明したが、第3図に示すように、相隣る複数の画素を、同じバンク、例えば、バンク0、1、2、……の、それぞれの各アドレスを構成する語の各ビット（例えば、ビット7,6,5,4、……）を割り当てるようにしても良いことは言う迄もないことである。

この場合も、ラインメモリ3からの画像データの読み出しは、超音波走査線41上の相隣るサンプリング点に対応する画像データの、該フレームメモリ3上の位置（第3図の斜線で示す）は、同じバンク内でも、語アドレス、語内ビット位置が異なっているので、上記と同じようにして、アドレス制御回路5から、あるバンクの特定のアドレス語に書き込むデータ（第1図のb~e）を読み出す為のラインメモリアドレスを生成する必要がある。

- 11 -

に超音波断層像のデータを転送する為、一組以上の高速のラインメモリと、該ラインメモリから、上記画像表示用メモリへデータを転送するときのラインメモリアドレスと、画像表示用メモリのアドレスを生成するアドレス制御回路を設けることにより、画像データを、該ラインメモリから、該画像表示用メモリの複数のバンクの同じアドレスに、又は特定のバンクの特定のアドレス語に、同時に書き込むようにしたものであるので、画像表示用メモリに対するアドレスバスを増加させることなく、シリアルライズに入ってくる画像データを高速に画像表示用メモリに取り込める効果がある。

4. 図面の簡単な説明

第1図は本発明の画像表示用メモリ書き込み制御方式の構成例を示した図、

第2図は本発明による書き込み動作をタイムチャートで示した図、

第3図は本発明のプログラムメモリの他の構成例を

る。

このように、本発明は、複数のバンクで構成されている画像表示用メモリ（フレームメモリ）に対して、各超音波走査周期毎に、時系列で送られてくる画像データを書き込むのに、該走査周期毎の時系列データを高速に、一時蓄積する複数のラインメモリを設け、各ラインメモリに格納されている画像データを、複数の、同時に該フレームメモリに書き込めるように、異なるラインメモリの異なるアドレスから読み出して編集し、該編集が完了したタイミングで、アクセスタイムの遅いフレームメモリに、同時に書き込むようにした所に特徴がある。

〔発明の効果〕

以上、詳細に説明したように、本発明の画像表示用メモリ書き込み制御方式は、複数のバンクからなり、インタリーブ方式でデータを読み出す画像表示用メモリを備えた超音波診断装置において、該画像表示用メモリの複数のバンクに同時

- 12 -

示した図、

第4図は従来の超音波診断装置におけるフレームメモリへの書き込み方を説明する図、

第5図はフレームメモリの構成例を示した図、である。

図面において、

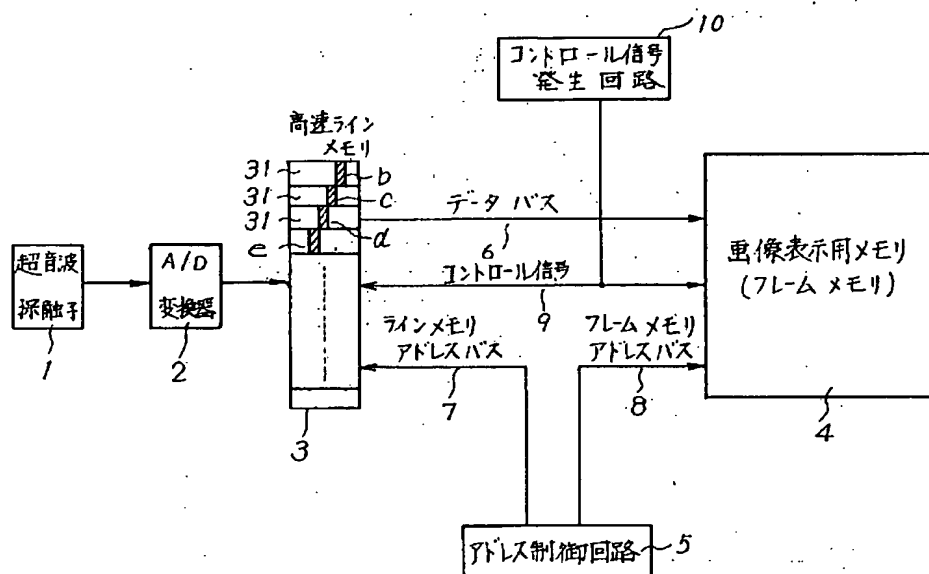
- 1 は超音波探触子、 2 はA/D変換器、
 - 3 はラインメモリ、 31はラインメモリの各組、
 - 4 は画像表示用メモリ（フレームメモリ）、
 - 41は超音波走査線、
 - 5 はアドレス制御回路、6 はデータバス、
 - 7 はラインメモリアドレスバス、
 - 8 はフレームメモリアドレスバス、
 - 9 はコントロール信号、
 - 10はコントロール信号発生回路
 - b, c, ……はラインメモリのアドレス、
 - x, y, ……はフレームメモリのアドレス、
- をそれぞれ示す。

代理人 弁理士 井桁貞一

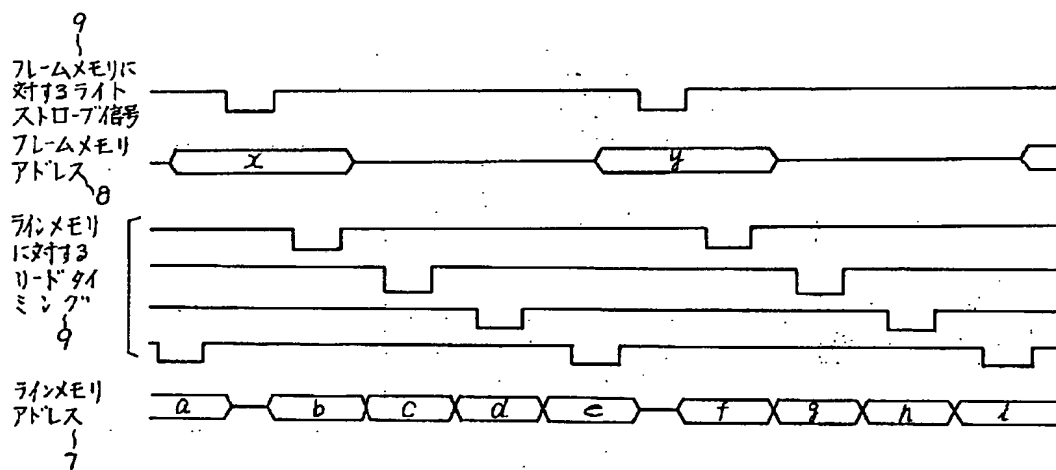


- 13 -

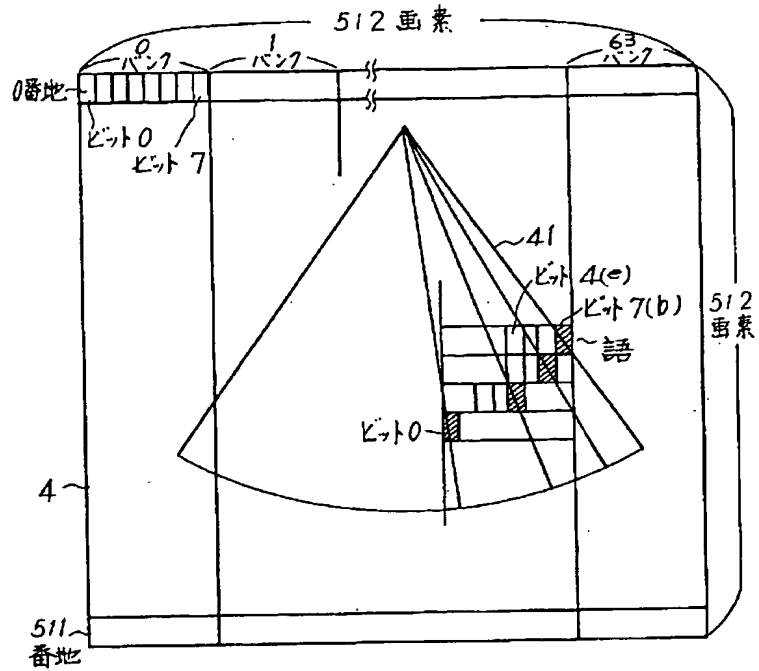
- 14 -



本発明の画像表示用メモリ書き込み制御方式の構成例を示した図
第 1 図

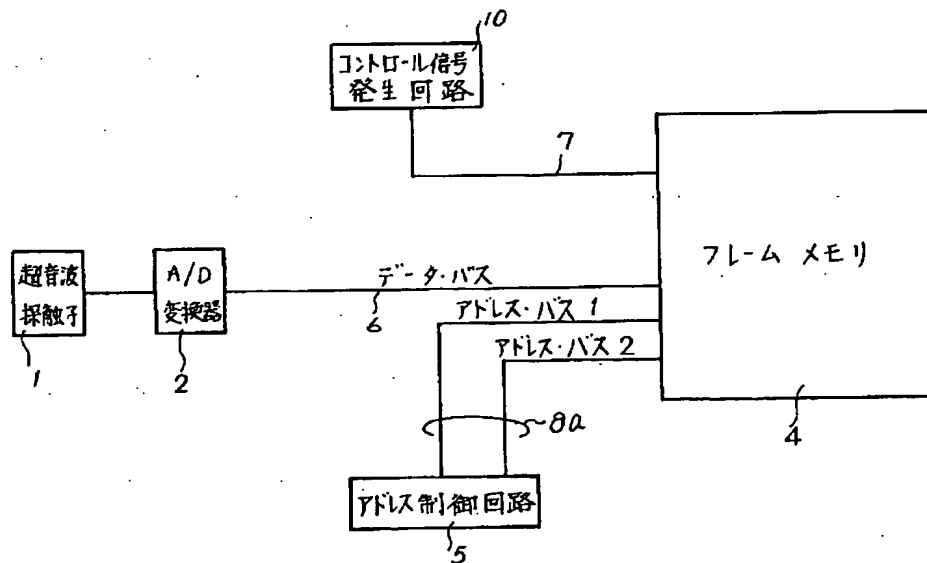


本発明による書き込み動作のタイムチャートを示した図
第 2 図



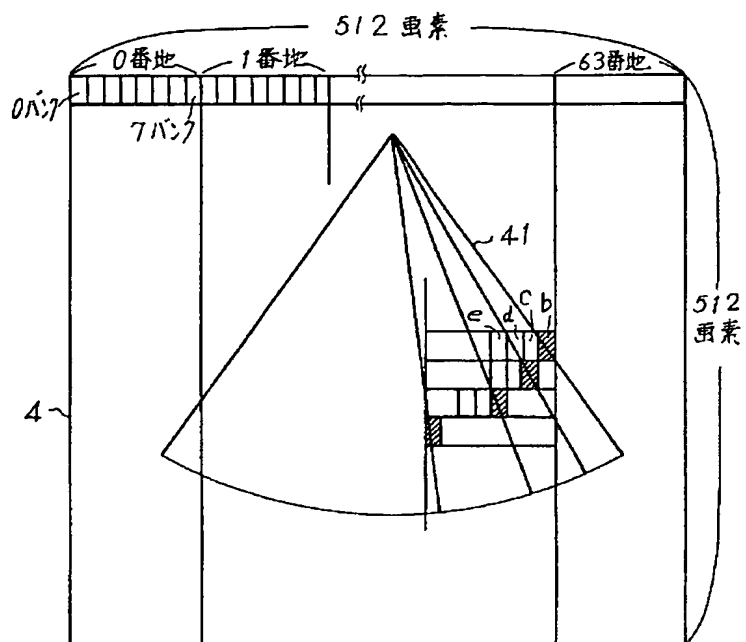
本発明の画像表示用メモリの他の構成例を示した図

第3図



従来の超音波診断装置におけるフレームメモリ書き込み方式の説明図

第4図



フレームメモリの構成例を示した図

第 5 図